

#3

**JAPAN PATENT OFFICE**  
**PATENT LAID-OPEN OFFICIAL GAZETTE**

Laid-Open No.  
H.10-335581

Laid-Open  
H.10 (1998) Dec. 18



---

Application No.: H.9-140190

Filed: H.9 (1997) May. 29

Inventor: Tomohito Okudaira  
2-3 2-choume, Marunouchi, Chiyoda-ku,  
Tokyo  
Mitsubishi Electric Corporation

Applicant: 000006013  
Mitsubishi Electric Corporation  
2-3 2-choume, Marunouchi, Chiyoda-ku,  
Tokyo

Attorneys, Agents: Kaneo Miyata and two others

## 1. TITLE OF THE INVENTION

Semiconductor Device and its Fabrication Method

## 2. ABSTRACT

[Problem to be Solved]

Capacitors in which a high-dielectric material or a ferroelectric material is used as a capacitor insulator suffer from the problem of capacitor degradation due to electrical, mechanical, or chemical stress.

[Solution]

For the formation of a contact hole 10 on the capacitor and the peripheral circuit, a protective layer 8e, composed of a high-dielectric material or a ferroelectric material, is formed on a cell plate electrode 8c so that the following expression holds: *film thickness of protective layer 8e = (total thickness of a part of upper-capacitor interlayer insulator 9, framing oxide film 8d, and lower-capacitor interlayer insulator 6)/etching selection ratio.*

[Effect of the Invention]

This invention can minimize plasma damage to the cell plate electrode and prevent the loss of the barrier metal.

## 3. WHAT IS CLAIMED

1. In a semiconductor device comprising a capacitor and a peripheral circuit that have a lower-capacitor interlayer insulator, a capacitor insulator composed of a high-dielectric material or a ferroelectric material, and an upper-capacitor electrode in an insulator composed of a silicon oxide film; and contact holes that extend from the upper edge of said insulator to said capacitor and peripheral circuit, such that the length of the contact hole extending to said capacitor is shorter

than the contact holes extending to said peripheral circuits;

a semiconductor device wherein a protective layer, composed of a high-dielectric material or a ferroelectric material, is provided at the interface between said upper-capacitor electrode and the upper-capacitor interlayer insulator, which is said insulator that exists in the upper part of said capacitor.

2. A method of fabrication of the semiconductor device of Claim 1, comprising the steps of:

forming a protective layer on the upper-capacitor electrode; forming an upper-capacitor interlayer insulator on said protective layer; etching the insulator that extends from said upper-capacitor interlayer insulator to form contact holes to the peripheral circuits simultaneously with the etching of said upper-capacitor interlayer insulator so that a part of said protective layer is left intact in order to form contact holes extending to the capacitor; and forming metal wires into said contact holes.

3. A method of fabrication of the semiconductor device of Claim 1, comprising the steps of:

forming a protective layer on the upper-capacitor electrode; forming an upper-capacitor interlayer insulator on said protective layer; etching the insulator that extends from said upper-capacitor interlayer insulator to form contact holes to the peripheral circuits simultaneously with the etching of said upper-capacitor interlayer insulator so that a part of said protective layer is left intact in order to form contact holes extending to the capacitor; removing, by wet-etching, said protective layer in the contact hole extending to said capacitor; and forming metal wires into said contact holes.

4. In a semiconductor device comprising a capacitor and a peripheral circuit that have an electrode underneath the capacitor, a capacitor insulator composed of a high-dielectric material or a ferroelectric material, and an upper-capacitor electrode in an insulator composed of a silicon oxide film; and contact holes that extend from the upper edge of said insulator to said capacitor and peripheral circuit, such that the length of the contact hole extending to said capacitor is shorter than the contact holes extending to said peripheral circuits,  
a semiconductor device wherein said upper-capacitor electrode comprises a stacked structure of metals and non-metals.
5. In a semiconductor device comprising a capacitor and a peripheral circuit that have a lower-capacitor electrode, a capacitor insulator composed of a high-dielectric material or a ferroelectric material, and an upper-capacitor electrode in an insulator composed of a silicon oxide film; and contact holes that extend from the upper edge of said insulator to said capacitor and peripheral circuit, such that the length of the contact hole extending to said capacitor is shorter than the contact holes extending to said peripheral circuits,  
a semiconductor device wherein said upper-capacitor electrode comprises either a stacked structure of metals and the oxides of transition metal elements or a stacked structure of metals and either high-dielectric materials or ferroelectric materials.

#### 4. DETAILED DESCRIPTION OF THE INVENTION

[0001]

[Application Field of the Invention]

This invention is directed at semiconductor devices; in particular, it is directed at VLSI devices that contain capacitor insulators and transistor gate insulators that are composed of high-dielectric or ferroelectric materials.

[0002]

[Prior Art]

Capacitor insulators and transistor gate insulators that are used in current VLSI devices represent the ultimate in the amount of capacitor charge and applied electric field that can be employed. For this reason, the capacitor insulators and gate insulators are extremely sensitive to electrical, mechanical, and chemical stress. Consequently, they must be able to meet stringent performance requirements.

[0003]

Fig. 8 is a schematic cross-sectional diagram that illustrates a conventional semiconductor device. In the figure, Reference Number 1 denotes a silicon substrate; 2, a field oxide film; 3, a dopant diffusion layer; 4, a word line; 5, a bit line; 6, a lower-capacitor interlayer insulator; 7, a conducting plug; 8a, a lower-capacitor electrode; 8b, a capacitor insulator; 8c, an upper-capacitor electrode; 8d, a framed oxide film; 9, an upper-capacitor interlayer insulator; 10, a contact hole; and 11, a wire layer.

[0004]

As shown in Fig. 8, to facilitate the lithography and processing of the wire layer 11 for the formation of the wire layer 11, it is common practice to planarize the upper-capacitor interlayer insulator, which can create substantial differences in film thickness between the upper-capacitor interlayer insulator 9 on one hand and the interlayer insulators 6, 8d, and 9 on the dopant diffusion layer 3, which is a peripheral circuit, on the other hand.

[0005]

[Problems to be Solved by the Invention]

The conventional semiconductor device is constructed as described above. As illustrated in Fig. 8, when contact holes 10 are created by plasma-etching in order to form a wire layer 11, the opening on the upper-capacitor electrode 8c tends to be over-etched, which results in the condition where the current from the plasma continues to flow into the capacitor, which causes the capacitor electrode 8c to be damaged by the plasma. This significantly increases the leak current from the capacitor, and creates the problem of degradation of capacitor performance characteristics.

[0006]

Further, as a general rule, the wire layer 11 is composed of aluminum, and a stacked film of TiN/Ti is used as a barrier metal. When a high-dielectric material or a ferroelectric material is used for the capacitor insulator 8b, either a metal film or a metal silicide or a metal nitride is used for the upper-capacitor electrode 8c. In the cases where the upper-capacitor electrode 8c is a metal film, it will be mostly composed of elements of the platinum family. These elements readily react with Ti to form an alloy. The resulting mechanical stress or the reduction of the high-dielectric material or the ferroelectric material by the Ti that has diffused into the upper-capacitor electrode 8c can cause degradation of the capacitor performance characteristics, which is a problem. A strategy employed to prevent this problem involves the formation of a barrier metal, such as TiN, on the platinum family element layer on the upper-capacitor electrode 8c. However, the over-etching conducted during the creation of contact holes 10 can cause the barrier metal to disappear from the upper-capacitor electrode 8c, which is a problem.

[0007]

As noted previously, either a metal film or a metal silicide or a metal nitride is used for the upper-capacitor electrode 8c. However, metal films are highly malleable and ductile, and thus easily transmit any stress that has occurred in the upper structure directly to the

capacitor insulator 8c. Also, silicides and nitrides have the problem of a large amount of stress in the film itself. In addition, stress is generated during the planarization of the upper-capacitor interlayer insulator 9.

[0008]

Fig. 9 illustrates the type of mechanical stress that is exerted on the capacitor insulator. In the figure, Reference Number 12 denotes the stress created by the plastic deformation of the upper-capacitor electrode 8c, and 13 denotes the stress that is generated in the upper-capacitor interlayer insulator 9. The mechanical stress 12 and 13 indicated in the figure generates strain in the capacitor insulator 8b, which increases the capacitor leak current and degrades the capacitor performance characteristics.

[0009]

Most of the ferroelectric materials, such as strontium-barium titanate materials ("BST") bismuth materials ("SBT"), and lead zirconate titanate materials ("PZT"), as well as high-dielectric materials, such as tantalum pentoxide, are transition metal oxides. Because they can assume a high oxidation number, when exposed to an oxidizing/reducing atmosphere, transition metals readily undergo oxidation/reduction. As a general rule, when a high-dielectric material or a ferroelectric material is used as a capacitor insulator, in many cases the highest possible oxidation number is assumed. In the conditions where the oxidation number is low (i.e., a reduced condition with an oxygen deficiency), in many cases the resulting insulation capacity will be low.

[0010]

Fig. 10 indicates the type of chemical stress exerted on the capacitor insulator 8b. As shown in the figure, in the case of a silicon process, the upper-capacitor interlayer insulator 9 is generally composed of a plasma oxide film or a plasma nitride film. These films, which have many Si-Hi bonds in the film, readily release hydrogen when subjected to heat treatment. The diffusion

of the hydrogen into the capacitor insulator 8b causes a hydrogen-induced reduction reaction in the capacitor insulator 8b. This decreases the insulation capacity of the capacitor insulator 8b, and thus degrades the performance characteristics of the capacitor.

[0011]

For example, in Fig. 10, if the capacitor insulator 8b is BST, the process such as  $n \cdot \text{BaSrTiO}_3 + 2\text{H}$   $n \cdot \text{BaSrTiO}_{(3-1/n)} + \text{H}_2\text{O}$  can create an oxygen deficiency, which renders the insulator into a conducting compound. This type of reduction reaction can also occur in the hydrogen annealing process, which is employed to improve transistor performance characteristics.

[0012]

The present invention has been developed to eliminate the types of problems noted above. Thus, the purpose of the present invention is to provide a semiconductor device containing high-performance, stable capacitors that have capacitor insulators composed of either high-dielectric materials or ferroelectric materials.

[0013]

[Means for Solving the Problem]

The semiconductor device of Claim 1 of the present invention comprises the following: a protective layer, composed of a high-dielectric material or a ferroelectric material, is provided at the interface between the upper-capacitor electrode and the upper-capacitor interlayer insulator, which is an insulator that exists in the upper part of the capacitor.

[0014]

The method of fabrication of the semiconductor device of Claim 2 comprises the steps of: forming a protective layer on the electrode above the capacitor; forming an upper-capacitor interlayer insulator on said protective layer; etching the insulator that extends from said upper-capacitor interlayer insulator to form contact holes for the peripheral circuits simultaneously with the etching of said upper-capacitor interlayer insulator so that a part



of said protective layer is left intact in order to form contact holes extending to the capacitor; and forming metal wires into said contact holes.

[0015]

The method of fabrication of the semiconductor device of Claim 3 comprises the steps of: forming a protective layer on the electrode above the capacitor; forming an upper-capacitor interlayer insulator on said protective layer; etching the insulator that extends from said upper-capacitor interlayer insulator to form contact holes to the peripheral circuits simultaneously with the etching of said upper-capacitor interlayer insulator so that a part of said protective layer is left intact in order to form contact holes extending to the capacitor; removing, by wet-etching, said protective layer in the contact hole extending to said capacitor; and forming metal wires in said contact holes.

[0016]

In the semiconductor device of Claim 4 of the present invention, the upper-capacitor electrode consists of a stacked structure composed of metals and non-metals.

[0017]

In the semiconductor device of Claim 5 of the present invention, the upper-capacitor electrode consists of either a stacked structure of metals and the oxides of transition metal elements or a stacked structure of metals and either high-dielectric materials or ferroelectric materials.

[0018]

[Embodiments]

Embodiment Mode 1. Fig. 1 is a schematic cross-sectional diagram illustrating the semiconductor device of the present invention. In the figure, Reference Number 1 denotes a silicon substrate; 2, a field oxide film of thickness 200 - 600 nm formed by thermal oxidation; 3, a dopant diffusion layer; 4, a word line 50 - 300 nm thick, 0.1 - 0.6  $\mu\text{m}$  wide, consisting of phosphorus-doped silicon;

5, a bit line 50 - 300 nm thick, 0.1 - 0.6  $\mu$ m wide, consisting of phosphorus-doped silicon; and 6, a lower-capacitor interlayer insulator, 200 - 1000 nm thick, containing phosphorus as a dopant and consisting of a silicon oxide film.

[0019]

Similarly, Reference Number 7 denotes a conducting plug consisting of phosphorus-doped polysilicon; 8, a storage node electrode, which is a lower-capacitor electrode composed of a titanium silicate nitride lower layer 20 - 100 nm thick and a platinum upper layer 30 - 100 nm thick; 8b, a capacitor insulator consisting of BST 20 - 60 nm thick; 8c, a cell plate electrode, which is an upper-capacitor electrode consisting of a stacked film of TiN, 10 - 50 nm thick, and platinum, 30 - 100 nm thick; 8d, a field oxide film; 8e, a protective layer consisting of BST, 10 - 30 nm thick; 9, an upper-capacitor interlayer insulator consisting of a silicon oxide film 300 - 1000 nm and containing boron and phosphorus dopants; 10, a contact hole; and 11, a wire layer consisting of aluminum, 300 - 1000 nm thick. It should be noted that the framed oxide film 8d may be omitted in some cases.

[0020]

Following is a description of the semiconductor device fabrication method of Fig. 1 with references to Fig. 2 (a) - (e) in the indicated order. First, as shown in Fig. 2 (a), components up to the bit line 5 are formed by ordinary DRAM processes, after which the normal pressure CDV method using gases such as  $\text{SiH}_4$ ,  $\text{PH}_3$ ,  $\text{B}_2\text{H}_6$ , and  $\text{O}_2$  is employed to form a doped silicon oxide film, 500 nm thick, that acts as a lower-capacitor interlayer insulator 6. Then, contact holes 7a for conducting plugs 7 are created at designated positions on the lower-capacitor interlayer insulator 6 by means of photolithography.

[0021]

The next step involves the formation of a phosphorus-doped polysilicon film, 500 nm thick, by the reduced pressure CVD method using  $\text{SiH}_4$  and  $\text{PH}_3$ . Conducting plugs 7

are formed by back-etching the entire surface so that the phosphorus-doped polysilicon is left intact only around the contact holes 7a. This is illustrated in Fig. 2 (b).

[0022]

As shown in Fig. 2 (c), the next step involves the formation of a stacked film of titanium 8a1 and titanium silicon nitride 8a2 as a barrier metal, using the sputtering method. After a platinum film 8a3, 50 nm thick, is formed on the stacked film, the stacked film is processed into a prescribed storage node pattern by means of photolithography, which forms the storage node electrode 8a. Subsequently, an oxide film is deposited on the entire surface, and the surface is back-etched to form a framed oxide film 8d on the sides of the storage node electrode 8a.

[0023]

In the next step, as shown in Fig. 2 (d),  $\text{Ba}(\text{DPM})_2$ ,  $\text{Sr}(\text{DPM})_2$ , and  $\text{Ti}(\text{DPM})_2$  are used as source gases to form a capacitor insulator 8b, 20 - 50 nm thick, consisting of BST, by the MOCVD method. After that, a stacked film of TiN/platinum, 150 nm thick, is formed as a cell plate electrode 8c, and then a protective layer 8e, consisting of BST, is formed to a thickness of 150 nm, after which the capacitor insulator 8b, the cell plate electrode 8c, and the protective layer 8e are processed into prescribed patterns by means of photolithography.

[0024]

The next step involves the formation of an upper-capacitor interlayer insulator 9 consisting of a doped silicon oxide film, 500 nm thick, on the entire surface by the normal pressure CVD method using such gases as  $\text{SiH}_4$ ,  $\text{PH}_3$ ,  $\text{B}_2\text{H}_6$ , and  $\text{O}_2$ . After that, contact holes 10 are created on the peripheral circuits and the capacitors by means of photolithography.

[0025]

In this process, the formation of contact holes 10 is performed by etching, by means of the reactive RIE method and using  $\text{CF}_4$  and  $\text{O}_2$  as etching gases. In this etching

process, given that the selection ratio of the silicon oxide film to the BST film is approximately 10 - 20, the length of time required to etch the lower-capacitor interlayer insulator 6 on the peripheral circuit by 500 nm will be equal to the length of time required to etch the protective layer 8e on the cell plate electrode 8c by 25 nm.

[0026]

Fig. 3 (a) - (c) are process sectional diagrams that illustrate the etching process for the formation of contact holes. As shown in Fig. 3, by creating contact holes so that the following expression holds, any unnecessary over-etching can be avoided in the process of forming contact holes 10 on the capacitor and creating contact holes simultaneously on the peripheral circuits and the capacitors: *film thickness of protective layer 8e = (total thickness of a part of upper-capacitor interlayer insulator 9, framing oxide film 8d, and lower-capacitor interlayer insulator 6)/etching selection ratio.*

[0027]

Subsequently, ordinary LSI processes are employed to form an aluminum-based wire layer 11 to provide metal wiring.

[0028]

In this manner, by forming the protective layer 8e on the cell plate electrode 8c by controlling the thickness of BST that has a lower etching rate than the silicon oxide film, the opening of contact holes 10 on the capacitor and the peripheral circuit can be completed virtually simultaneously, which minimizes plasma-induced damage to the cell plate electrode 8c when the contact holes 10 are opened. In addition, this technique can also prevent the disappearance of the barrier metal from the cell plate electrode 8c.

[0029]

In this process, the protective layer 8e is by no means limited to BST. Almost any material can be used, such as PZT, SBT, and tantalum pentoxide, that has an

etching rate lower than the silicon oxide film used for the lower-capacitor interlayer insulator 9, as well as an insulation capacity.

[0030]

Embodiment Mode 2.. Embodiment Mode 1 as described above required the complete removal of BST from the contact holes during the opening of the upper-capacitor interlayer insulator in order to provide contact with the cell plate electrode, which required an over-etching of 10-% - 20% in order to prevent contact defects.

[0031]

However, as shown in Fig. 4 (a) - (c), to minimize plasma damage to the cell plate electrode 8c, the etching performed for the opening of contact holes can be performed by either just etching or under-etching; any residual film can be reduced using the metal in the wire layer 11.

[0032]

First, as shown in Fig. 4 (a), BST as a protective layer 8e is formed to a thickness of 10 nm by the sputtering method, and then patterning is performed in a manner similar to Fig. 2 (d). As shown in Fig. 4 (b) and similar to Fig. 2 (e), an upper-capacitor interlayer insulator 9 is formed, and then contact holes 10 are opened at prescribed positions. In this process, BST is not affected by the etching using  $\text{CH}_4/\text{O}_2$  based gases. Therefore, the contact holes 10 on the capacitor are not completely opened, and thin residues of BST will remain at the bottoms of the contact holes.

[0033]

The next step involves the formation of a wire layer 11 using normal LSI processes. In this process, a stacked film of titanium nitride/titanium as an aluminum barrier metal for the wire layer 11 is formed, and ramp-annealing is conducted to render the stacked film into silicides and to reduce its contact resistance. In this process, the BST in the contact holes 10 is reduced by the titanium and turns into oxygen-deficient BST 14. Because the oxygen-

deficient BST acts as an N-type semiconductor and exhibits conductivity, favorable contact holes 10 can be created without exposing the cell plate electrode 8c to plasma. Similar effects can also be obtained by using tantalum pentoxide, PZT, or SBT.

[0034]

Embodiment Mode 3. While Embodiment Mode 2 above describes the case where the residual protective layer 8e is converted into a conductive substance without being removed, alternatively the residual protective layer 8c can be removed by wet-etching.

[0035]

As shown in Fig. 5 (a) and similar to Fig. 2 (e), contact holes 10 are opened. However, to minimize plasma damage, the contact holes 10 on the capacitor are not completely opened, and a part of the protective layer 8e is left intact. Then, as shown in Fig. 5 (b), wet-etching using nitric acid is conducted to remove any residual protective layer 8e.

[0036]

This process achieves the same effect as Embodiment Mode 2. However, in Embodiment Mode 2, the solid-phase reaction between the barrier metal in the wire layer 11 and the protective layer 8e occurs in a manner limited to the immediate area in the vicinity of the interface. If the remaining protective layer 8e is thick, the entire layer cannot be reduced, thus producing contact defects. However, removal by wet-etching can adequately remove the residual protective layer 8e, regardless of its thickness, and this permits a large margin for the amount of residual protective layer 8e.

[0037]

Further, given that wet-etching is an isotropic process, conceivably the protective layer 8e may be side-etched, resulting in the formation of notches. However, the small amount of residual protective layer can easily be reduced by the barrier metal present in the wire layer 11, thus avoiding any problems. Although the above

description involves the use of BST, the process is by no means limited to this material; materials such as tantalum pentoxide, PZT, and SBT can also be used.

[0038]

Embodiment Mode 4. While Embodiment Modes 1- 3 as described above involve methods of preventing plasma damage to the cell plate electrode 8c, this embodiment mode will describe methods for the prevention of mechanical stress from the upper capacitor structure when either a high-dielectric material or a ferroelectric material is used for a capacitor insulator.

[0039]

First, as shown in Fig. 6 (a), components up to the storage node electrode 8a are created using procedures similar to those described in Fig. 2 (a) - (c). Subsequently, a capacitor insulator 8b is formed as in the case of Embodiment Mode 1. As cell plate electrodes, a platinum film 8c, a titanium silicon nitride film 8f, and a polysilicon film 8g are formed to thickness values of 50, 50, and 200 nm on the capacitor insulator 8b, using the sputtering method. After that, patterning is performed. In this process, the titanium silicon nitride film 8f acts as a barrier metal between the polysilicon film 8g and the platinum film 8c.

[0040]

In the next step, as illustrated in Fig. 6 (b), normal LSI processes are employed to form the wire layer 11. The polysilicon film 8g has a low internal stress and exhibits little malleability or ductility. Therefore, any stress 12 and 13 that is generated during the formation of the upper-capacitor interlayer insulator 9 and the wire layer 11 can be absorbed by the polysilicon film 8g. This hinders any transmission of stress to the capacitors, and thus prevents an increase in capacitor leakage due to mechanical stress.

[0041]

Although in this embodiment mode mechanical stress is alleviated by means of the polysilicon film 8g, metal

silicides can also be used for the same purpose. Almost any film, such as titanium silicon nitride, that has a low internal stress and little malleability or ductility can be used.

[0042]

Embodiment Mode 5.. Following is a description of methods for the prevention of chemical stress from the upper capacitor structure when a high-dielectric material or a ferroelectric material is used for a capacitor insulator, with references to Fig. 7 (a) - (c).

[0043]

First, as shown in Fig. 7 (a), components up to the storage node electrode 8a are created using procedures similar to those described in Fig. 2 (a) - (c). Subsequently, a capacitor insulator 8b is formed as in the case of Embodiment Mode 1. After that, as cell plate electrodes, a platinum film 8c and a tantalum layer 8h are formed to a thickness of 50 nm on the capacitor insulator 8b, using the sputtering method.

[0044]

In the next step, the tantalum layer is oxidized by annealing it under an oxygen atmosphere, as shown in Fig. 7 (b), creating a  $Ta_2O_5$  layer 8i. Any of the known means, such as the oxygen plasma method or the oxygen ion implantation method, in addition to the method described above, can be employed as an oxidation method for the tantalum layer 8h.

[0045]

Given the formation of the  $Ta_2O_5$  layer 8i, which is an oxide of a transition metal element, on the platinum film 8c as a cell plate electrode, the reaction  $Ta_2O_5 + H_2 \rightarrow 2TaO_2 + H_2O$  traps the hydrogen generated during the formation of the upper capacitor structure and the annealing under a hydrogen atmosphere in the  $Ta_2O_5$  layer 8i, which prevents the propagation of the hydrogen into the capacitor insulator 8b. This protects the capacitor insulator 8b from insulation degradation due to reduction.

[0046]



As shown in Fig. 7 (c), the direct formation of a tantalum layer 8h on the platinum 8c causes the alloying of platinum and tantalum at an approximate temperature of 600 deg. C, which poses the problem of heat tolerance. To prevent this problem, a barrier metal 8f, such as titanium silicon nitride, can be provided between the platinum 8c and the tantalum layer 8h, which yields a thermal tolerance of 750 deg. C.

[0047]

Although  $Ta_2O_5$  is used in this embodiment mode, oxides of Ti, Pt, W, Ru, and Pd are also acceptable. Similar effects can also be obtained by using a high-dielectric material or a ferroelectric material, such as BST, PZT, or SBT.

[0048]

[Advantages of the Invention]

As described above, in this invention a protective layer composed of either a high-dielectric material or a ferroelectric material is provided at the interface between the upper capacitor insulator and the upper-capacitor interlayer insulator, which is an insulator that exists above the capacitor. This permits the processes of contact hole opening on the capacitor and on the peripheral circuit to be completed virtually simultaneously, which minimizes plasma damage to the upper-capacitor electrode during the opening of contact holes, and can prevent any disappearance of the barrier metal from the upper-capacitor electrode.

[0049]

This invention provides the steps of forming a protective layer on the upper-capacitor electrode, forming an upper-capacitor interlayer insulator on the protective layer, forming contact holes extending to the peripheral circuits by etching the insulator that extends from the upper-capacitor interlayer insulator simultaneously with the formation of contact holes for the capacitor by the etching of the upper-capacitor interlayer insulator in

such a manner that some of the protective layer is left intact, and metal wires are formed into the contact hole. This causes any protective layer remaining in the contact holes to be reduced by the metal wires, turning it into an oxygen-deficient condition and causing it to exhibit conductivity. In this manner, any exposure of the upper-capacitor electrode to plasma can be avoided and the disappearance of the barrier metal from the upper-capacitor electrode can be prevented, which results in the formation of favorable contact holes.

[0050]

In addition, this invention provides the steps of forming a protective layer on the upper-capacitor electrode, forming an upper-capacitor interlayer insulator on the protective layer, forming contact holes extending to the peripheral circuits by etching the insulator that extends from the upper-capacitor interlayer insulator simultaneously with the formation of contact holes for the capacitor by the etching of the upper-capacitor interlayer insulator in such a manner that some of the protective layer is left intact, and metal wires are formed into the contact hole. In this manner, any exposure of the upper-capacitor electrode to plasma can be avoided and the disappearance of the barrier metal from the upper-capacitor electrode can be prevented, which results in the formation of favorable contact holes. Further, any thick residue of the protective layer can be removed adequately, thus permitting a large margin for the amount of residual protective layer.

[0051]

The fact that the upper-capacitor electrode consists of a stacked structure of metals and non-metals, any stress that is generated during the formation of the upper-capacitor interlayer insulator and the wire layer can be absorbed by the non-metallic material, thus preventing the propagation of stress to the capacitors. In this manner, an increase in capacitor leakage due to mechanical stress can be avoided.

[0052]

In addition, because the upper-capacitor electrode is made up of either a stacked structure of metals and the oxides of transition metals or a stacked structure of metals and a high-dielectric material or a ferroelectric material, any hydrogen generated during the formation of the upper-capacitor electrode or during annealing under a hydrogen atmosphere can be captured by the metals or the oxides of transition metals, or into the high-dielectric material or the ferroelectric material. This prevents any propagation of hydrogen into the capacitor insulator, thus protecting the capacitor insulator from insulation degradation due to reduction.

## 5. BRIEF DESCRIPTION OF THE DRAWINGS

[Fig. 1] A schematic cross-sectional diagram illustrating the semiconductor device of Embodiment Mode 1 of the invention.

[Fig. 2] A process diagram illustrating the fabrication method of Fig. 1.

[Fig. 3] A diagram illustrating the etching process for the formation of contact holes in Embodiment Mode 1.

[Fig. 4] A process diagram illustrating the fabrication method of Embodiment Mode 2 of the invention.

[Fig. 5] A process diagram illustrating the fabrication method of Embodiment Mode 3 of the invention.

[Fig. 6] A process diagram illustrating the fabrication method of Embodiment Mode 4 of the invention.

[Fig. 7] A process diagram illustrating the fabrication method of Embodiment Mode 5 of the invention.

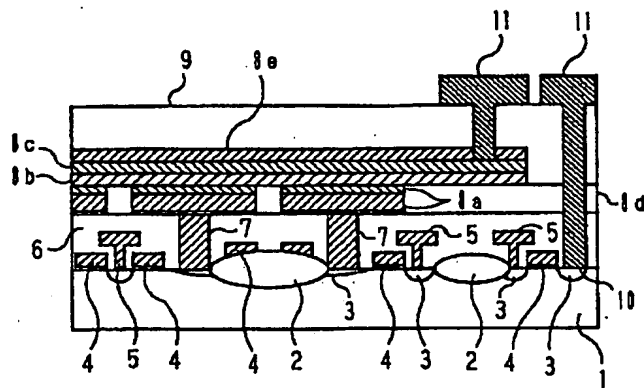
[Fig. 8] A schematic cross-sectional diagram illustrating a conventional semiconductor device.

[Fig. 9] A cross-sectional diagram illustrating the issues present in conventional semiconductor devices.

[Fig. 10] A cross-sectional diagram illustrating the issues present in conventional semiconductor devices.

[Reference Numbers]

- 6. Lower-capacitor interlayer insulator.
- 8b. Capacitor insulator.
- 8c. Cell plate electrode.
- 8d. Framed oxide film.
- 8e. Protective layer.
- 8g. Polysilicon film.
- 8i.  $\text{Ta}_2\text{O}_5$  layer.
- 9. Upper-capacitor interlayer insulator.
- 10. Contact hole.
- 11. Wire layer.



6. Lower-capacitor interlayer insulator.  
 8a. Storage node electrode  
 8b. Capacitor insulator.  
 8c. Cell plate electrode.  
 8d. Framed oxide film.  
 8e. Protective layer.  
 9. Upper-capacitor interlayer insulator.  
 10. Contact hole  
 11. Wire layer.

Figure 1

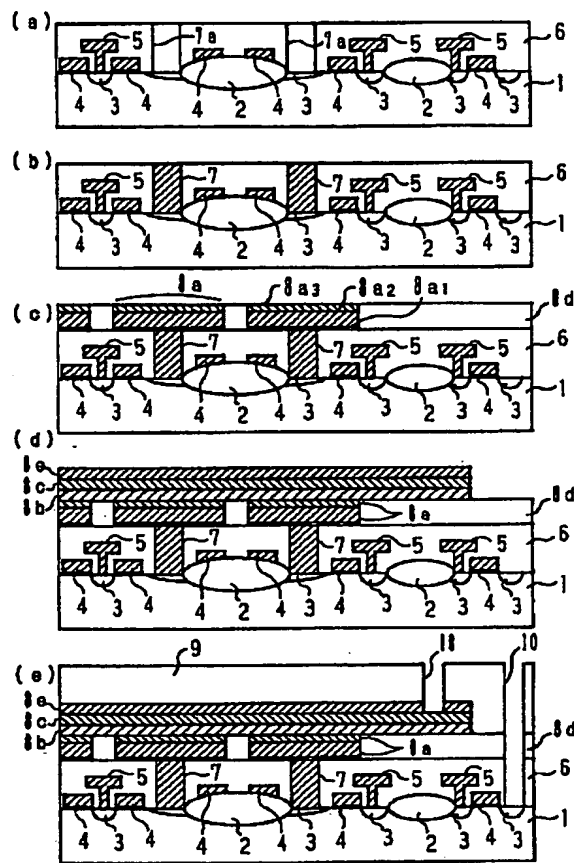


Figure 2

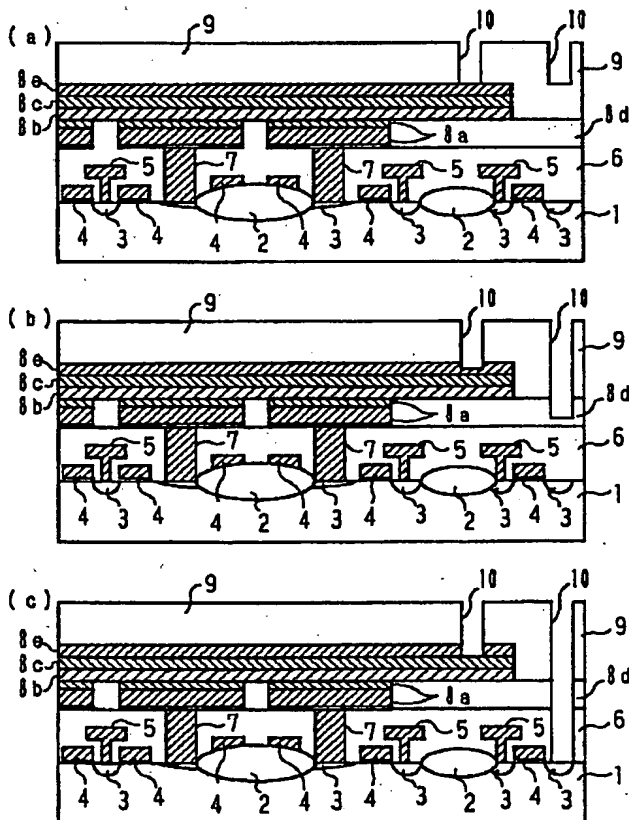


Figure 3

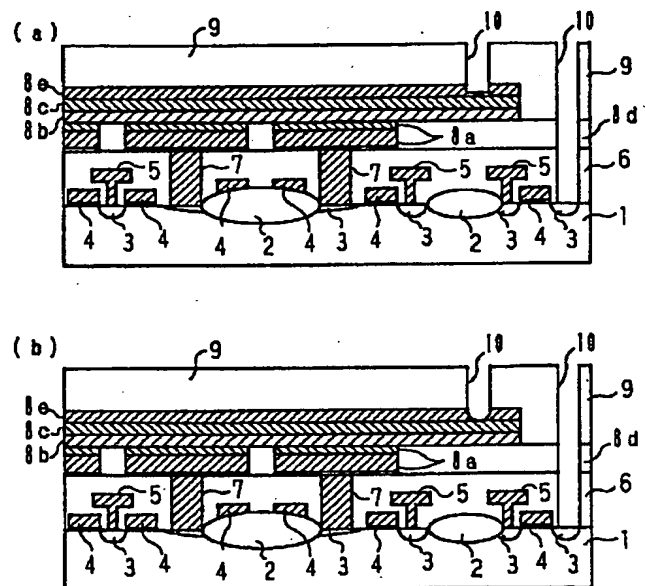


Figure 5

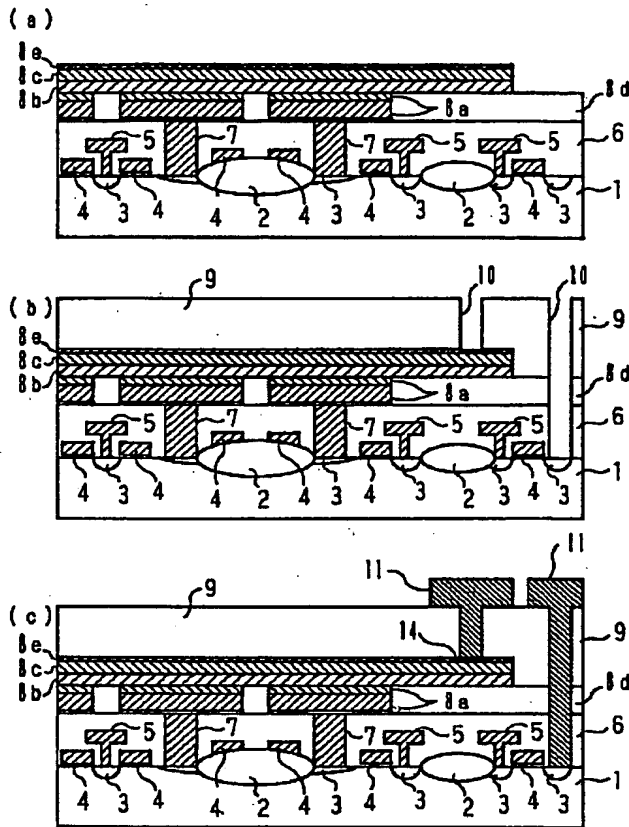


Figure 4

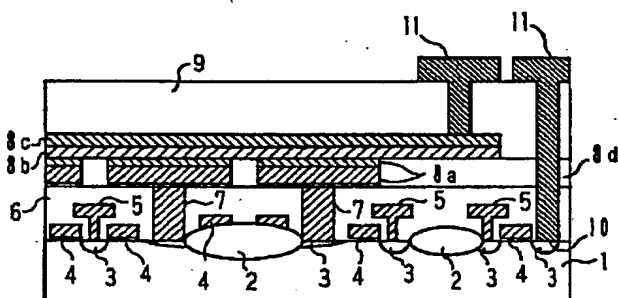


Figure 8

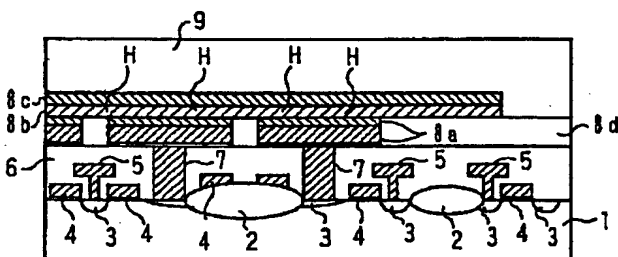


Figure 10

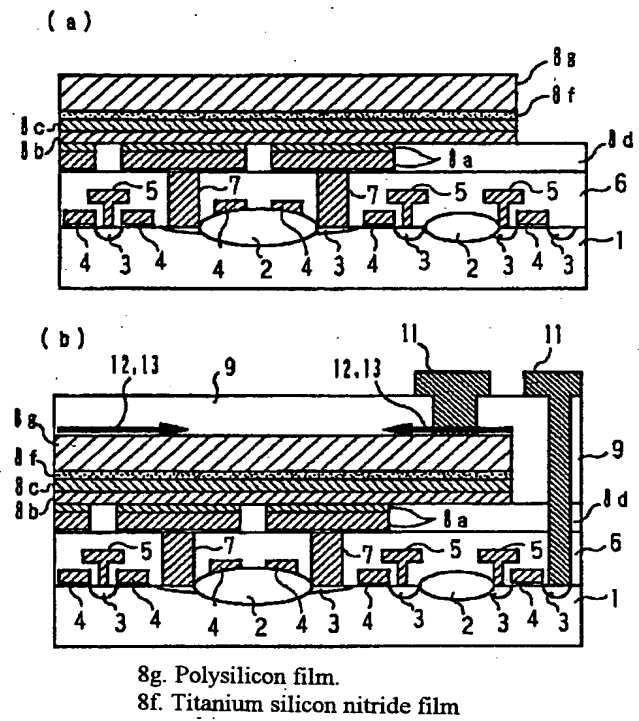


Figure 6

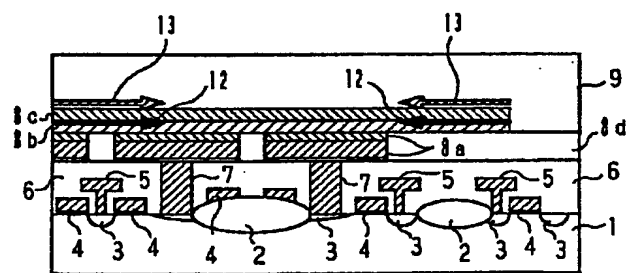
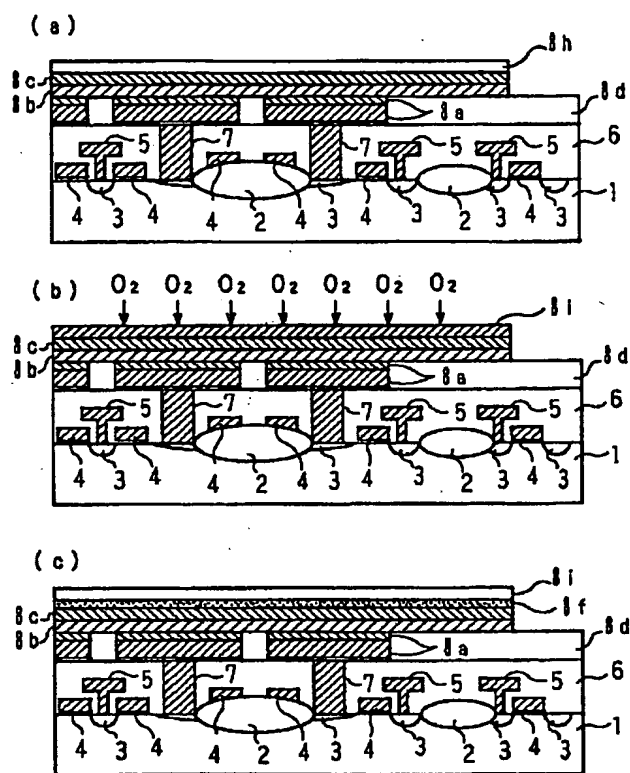


Figure 9



8h. Tantalum layer  
8i. Ta<sub>2</sub>O<sub>5</sub> layer

Figure 7

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-335581

(43)公開日 平成10年(1998)12月18日

(51)Int.Cl.<sup>6</sup>

H 0 1 L 27/04

21/822

識別記号

F I

H 0 1 L 27/04

C

審査請求 未請求 請求項の数 5 O L (全 9 頁)

(21)出願番号 特願平9-140190

(22)出願日 平成9年(1997)5月29日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 奥平 智仁

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74)代理人 弁理士 宮田 金雄 (外2名)

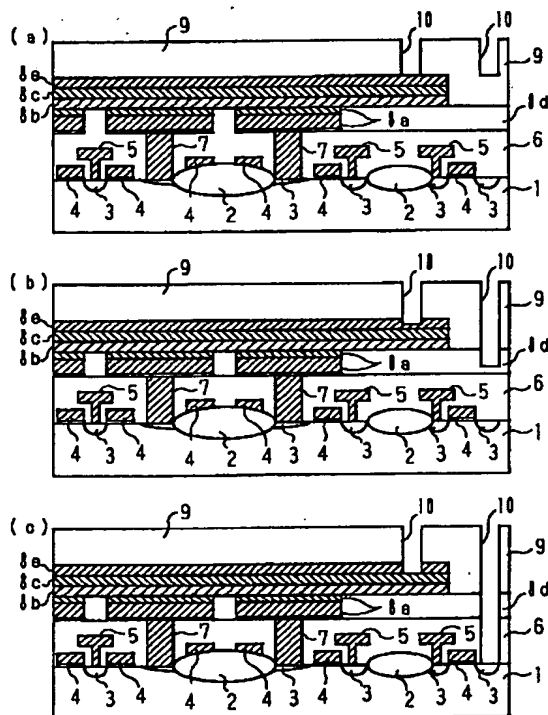
(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 高誘電体または強誘電体をキャパシタ絶縁膜とするキャパシタには電氣的ストレス、メカニカルストレス、化学的ストレス等によりキャパシタの特性が劣化するという問題点があった。

【解決手段】 コンタクトホール10をキャパシタ上と周辺回路上とに形成する際、セルプレート電極8c上に高誘電体または強誘電体からなる保護層8eを形成し、保護層8eの膜厚＝(キャパシタ上部層間絶縁膜9の一部と枠付け酸化膜8dとキャパシタ下部層間絶縁膜6との総計の膜厚)／エッチング選択比となるようにする。

【効果】 セルプレート電極へのプラズマダメージが抑えられ、バリアメタルの消失も防止できる。





## 【特許請求の範囲】

【請求項1】 シリコン酸化膜よりなる絶縁膜中に、キャパシタ下部電極と高誘電体または強誘電体よりなるキャパシタ絶縁膜とキャパシタ上部電極とを有するキャパシタおよび周辺回路部を備え、上記絶縁膜上端より上記キャパシタおよび周辺回路部へのコンタクトホールを備え、上記キャパシタへのコンタクトホール長が上記周辺回路部へのコンタクトホール長よりも短くなる半導体装置において、

上記キャパシタ上部電極と上記キャパシタの上部に存在する上記絶縁膜であるキャパシタ上部層間絶縁膜との界面に高誘電体または強誘電体よりなる保護層を設けたことを特徴とする半導体装置。

【請求項2】 キャパシタ上部電極上に保護層を形成する工程と、上記保護層上にキャパシタ上部層間絶縁膜を形成する工程と、上記キャパシタ上部層間絶縁膜を上記保護層の一部を残すようにエッチングしてキャパシタへのコンタクトホールを形成すると同時に、上記キャパシタ上部層間絶縁膜に続く絶縁膜をエッチングして周辺回路部へのコンタクトホールを形成する工程と、上記コンタクトホール内へ金属配線を形成する工程とを備えた請求項1記載の半導体装置の製造方法。

【請求項3】 キャパシタ上部電極上に保護層を形成する工程と、上記保護層上にキャパシタ上部層間絶縁膜を形成する工程と、上記キャパシタ上部層間絶縁膜を上記保護層を残すようにエッチングしてキャパシタへのコンタクトホールを形成すると同時に、上記キャパシタ上部層間絶縁膜に続く絶縁膜をエッチングして周辺回路部へのコンタクトホールを形成する工程と、上記キャパシタへのコンタクトホール内の上記保護層をウェットエッチングで除去する工程と、上記コンタクトホール内へ金属配線を形成する工程とを備えた請求項1記載の半導体装置の製造方法。

【請求項4】 シリコン酸化膜よりなる絶縁膜中に、キャパシタ下部電極と高誘電体または強誘電体よりなるキャパシタ絶縁膜とキャパシタ上部電極とを有するキャパシタおよび周辺回路部を備え、上記絶縁膜上端より上記キャパシタおよび周辺回路部へのコンタクトホールを備え、上記キャパシタへのコンタクトホール長が周辺回路部へのコンタクトホール長よりも短くなる半導体装置において、

上記キャパシタ上部電極が金属と非金属との積層構造よりなることを特徴とする半導体装置。

【請求項5】 シリコン酸化膜よりなる絶縁膜中に、キャパシタ下部電極と高誘電体または強誘電体よりなるキャパシタ絶縁膜とキャパシタ上部電極とを有するキャパシタと周辺回路部とを備え、上記絶縁膜上端より上記キャパシタおよび周辺回路部へのコンタクトホールを備え、上記キャパシタへのコンタクトホール長が上記周辺回路部へのコンタクトホール長よりも短くなる半導体装

置において、

上記キャパシタ上部電極が金属と遷移金属元素の酸化物との積層構造あるいは金属と高誘電体または強誘電体との積層構造よりなることを特徴とする半導体装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は半導体装置に関し、特にキャパシタ絶縁膜やトランジスタゲート絶縁膜に高誘電体または強誘電体を有する超L S Iに関するものである。

【0002】

【従来の技術】 現在の超L S Iにおけるキャパシタ絶縁膜やトランジスタのゲート絶縁膜等は蓄積電荷量、印加電界等の性能を極限まで引き出して使用している。このため、キャパシタ絶縁膜やゲート絶縁膜等は電気的、力学的さらに化学的ストレスに対して非常に鋭敏なものとなり、厳しい要求が課せられている。

【0003】 図8は従来の半導体装置を示す模式的断面図である。図において、1はシリコン基板、2はフィールド酸化膜、3は不純物拡散層、4はワード線、5はビット線、6はキャパシタ下部層間絶縁膜、7は導電性プラグ、8aはキャパシタ下部電極、8bはキャパシタ絶縁膜、8cはキャパシタ上部電極、8dは枠付け酸化膜、9はキャパシタ上部層間絶縁膜、10はコンタクトホール、11は配線層である。

【0004】 図8に示すように、配線層11を形成する際、配線層11のリソグラフィーおよび加工を容易にするために、キャパシタ上部層間絶縁膜9を平坦化することが一般的に行われている。このために、キャパシタ上部層間絶縁膜9と周辺回路である不純物拡散層3上の層間絶縁膜6、8d、9との膜厚に大きな差異が生じることになる。

【0005】

【発明が解決しようとする課題】 従来の半導体装置は以上のように構成されており、図8に示すように、配線層11を形成するためプラズマエッチングによりコンタクトホール10を開く際、キャパシタ上部電極8c上の開口部がオーバーエッチングされてしまい、プラズマからの電流がキャパシタへ注入され続けることになる。この結果、キャパシタ電極8cがプラズマによりダメージを受ける。このため、キャパシタのリーク電流が著しく増加し、キャパシタ特性が劣化するという問題点があった。

【0006】 さらに、一般に、配線層11はアルミからなり、バリアメタルとしてTiN/Tiの積層膜が用いられている。また、高誘電体または強誘電体をキャパシタ絶縁膜8bとして使用する場合、キャパシタ上部電極8cとしては金属膜または金属の硅化物、窒化物等が用いられる。キャパシタ上部電極8cが金属膜の場合、おもに白金族元素からなることが多い。白金族元素はTi

と容易に反応して合金を形成する。このときに発生するメカニカルストレスまたはキャパシタ上部電極8c内に拡散したTiによる高誘電体または強誘電体の還元が起こり、キャパシタ特性が劣化するという問題点があった。これを防止するものとしてキャパシタ上部電極8cには白金族元素層上にTiN等のバリアメタルを形成するのであるが、コンタクトホール10開口時のオーバーエッチングによってキャパシタ上部電極8c上のバリアメタルの消失が起こるといった問題点があった。

【0007】また、上述したように、キャパシタ上部電極8cとしては金属膜または金属の硅化物、窒化物等が用いられるのであるが、金属膜は展・延性に富み、上部構造に発生したストレスをそのままキャパシタ絶縁膜8cに伝えてしまうという問題点がある。また、硅化物、窒化物では膜自身のストレスが大きいという問題点がある。さらに、キャパシタ上部層間絶縁膜9を平坦化する際にも応力が発生する。

【0008】図9はキャパシタ絶縁膜へのメカニカルストレスを表した図である。図において、12はキャパシタ上部電極8cの塑性変形によるストレスを表しており、13はキャパシタ上部層間絶縁膜9に発生したストレスを表している。図に示したメカニカルストレス12、13によりキャパシタ絶縁膜8b内に応力が発生し、キャパシタのリーク電流が増加しキャパシタ特性が劣化するという問題点があった。

【0009】また、チタン酸ストロンチウムバリウム系材料（以下、BSTと称す）、ピスマス系材料（以下、SBTと称す）、チタン酸ジルコン酸鉛系材料（以下、PZTと称す）等の強誘電体や、五酸化タンタル等の高誘電体の多くは遷移金属の酸化物である。遷移金属は多くの酸化数を取り得るため、酸化／還元性雰囲気さらされると容易に酸化／還元を受ける。一般的に、高誘電体または強誘電体をキャパシタ絶縁膜に用いる場合、酸化数は取り得る最も高いものであることが多く、酸化数の低い状態（即ち還元され酸素欠損した状態）では絶縁性が低いことが多い。

【0010】図10はキャパシタ絶縁膜8bへの化学的ストレスを表したものである。図に示すように、シリコンプロセスの場合、キャパシタ上部層間絶縁膜9は一般にプラズマ酸化膜やプラズマ窒化膜で形成されている。これらの膜は膜中にSi-H結合を多数含有しているので熱処理によって容易に水素を遊離してしまう。この水素がキャパシタ絶縁膜8bの中へ拡散すると、キャパシタ絶縁膜8bにおいて水素による還元作用が起こり、キャパシタ絶縁膜8bの絶縁性が低くなりキャパシタ特性が劣化するという問題点があった。

【0011】例えば、図10において、キャパシタ絶縁膜8bがBSTの場合、 $n \cdot \text{BaSrTiO}_3 + 2\text{H} \rightarrow n \cdot \text{BaSrTiO}_{(3-1/n)} + \text{H}_2\text{O} \uparrow$  のような過程で酸素欠損を起こして導電性化合物となってしまう。さらに、

この様な還元反応はトランジスタ特性改善のために行う水素アニール工程時にも起こり得る問題である。

【0012】この発明は上記のような問題点を解消するためになされたもので、高誘電体または強誘電体で構成されたキャパシタ絶縁膜を有する良好で安定したキャパシタを備えた半導体装置を提供することを目的としている。

【0013】

【課題を解決するための手段】この発明の請求項1に係る半導体装置は、キャパシタ上部電極とキャパシタの上部に存在する絶縁膜であるキャパシタ上部層間絶縁膜との界面に高誘電体または強誘電体よりなる保護層を設けたものである。

【0014】この発明の請求項2に係る半導体装置の製造方法は、キャパシタ上部電極上に保護層を形成する工程と、上記保護層上にキャパシタ上部層間絶縁膜を形成する工程と、上記キャパシタ上部層間絶縁膜を上記保護層の一部を残すようにエッチングしてキャパシタへのコンタクトホールを形成すると同時に、上記キャパシタ上部層間絶縁膜に続く絶縁膜をエッチングして周辺回路部へのコンタクトホールを形成する工程と、上記コンタクトホール内へ金属配線を形成する工程とを備えたものである。

【0015】この発明の請求項3に係る半導体装置の製造方法は、キャパシタ上部電極上に保護層を形成する工程と、上記保護層上にキャパシタ上部層間絶縁膜を形成する工程と、上記キャパシタ上部層間絶縁膜を上記保護層を残すようにエッチングしてキャパシタへのコンタクトホールを形成すると同時に、上記キャパシタ上部層間絶縁膜に続く絶縁膜をエッチングして周辺回路部へのコンタクトホールを形成する工程と、上記キャパシタへのコンタクトホール内の保護層をウェットエッチングで除去する工程と、上記コンタクトホール内へ金属配線を形成する工程とを備えたものである。

【0016】この発明の請求項4に係る半導体装置は、キャパシタ上部電極が金属と非金属との積層構造よりなるものである。

【0017】この発明の請求項5に係る半導体装置は、キャパシタ上部電極が金属と遷移金属元素の酸化物との積層構造あるいは金属と高誘電体または強誘電体との積層構造よりなるものである。

【0018】

【発明の実施の形態】

実施の形態1. 図1はこの発明の半導体装置を示す模式的断面図である。図において、1はシリコン基板、2は熱酸化により形成した厚さ200～600nmのフィールド酸化膜、3は不純物拡散層、4は厚さ50～300nm、線幅0.1～0.6μmのリンドープトポリシリコンよりなるワード線、5は厚さ50～300nm、線幅0.1～0.6μmのリンドープトポリシリコンより

なるビット線、6はボロン、リンを不純物として含む厚さ200~1000nmのシリコン酸化膜よりなるキャパシタ下部層間絶縁膜である。

【0019】続いて、7はリンドープトポリシリコンよりなる導電性プラグ、8aは厚さ20~100nmのチタン窒化物を下層とし、厚さ30~100nmの白金を上層として構成されたキャパシタ下部電極であるストレージノード電極、8bは厚さ20~60nmのBSTよりなるキャパシタ絶縁膜、8cは厚さ10~50nmのTiNおよび厚さ30~100nmの白金の積層膜よりなるキャパシタ上部電極であるセルプレート電極、8dは枠付け酸化膜、8eは厚さ10~30nmのBSTよりなる保護層、9はボロン、リンを不純物として含む厚さ300~1000nmのシリコン酸化膜よりなるキャパシタ上部層間絶縁膜、10はコンタクトホール、11は厚さ300~1000nmのアルミニウムよりなる配線層である。なお、枠付け酸化膜8dは省略されることもある。

【0020】次に、図1に示す半導体装置の製造方法を図2(a)~(e)に従って順次説明する。まず、図2(a)に示すように、通常のDRAMプロセスによりビット線5まで形成する。その後、 $\text{SiH}_4$ 、 $\text{PH}_3$ 、 $\text{B}_2\text{H}_6$ 、 $\text{O}_2$ を用いた常圧CVD法により厚さ500nmの不純物含有シリコン酸化膜を形成し、キャパシタ下部層間絶縁膜6とする。さらに、キャパシタ下部層間絶縁膜6の所定の位置にフォトリソグラフィにより導電性プラグ7用コンタクトホール7aを開口する。

【0021】次に、図2(b)に示すように、 $\text{SiH}_4$ 、 $\text{PH}_3$ を用いた減圧CVD法により厚さ500nmのリンドープトポリシリコン膜を形成し、全面エッチバックによりコンタクトホール7aの部分にのみリンドープトポリシリコン膜を残し、導電性プラグ7を形成する。

【0022】次に、図2(c)に示すように、スパッタ法を用いて、チタン8a<sub>1</sub>およびチタンシリコンナイトライド8a<sub>2</sub>の積層膜をバリアメタルとして形成する。その上に白金膜8a<sub>3</sub>を50nm形成した後、フォトリソグラフィによって所定のストレージノードパターンに加工してストレージノード電極8aを形成する。その後、全面に酸化膜を堆積した後、エッチバックしストレージノード電極8a側面に枠付け酸化膜8dを形成する。

【0023】次に、図2(d)に示すように、Ba(DPM)<sub>2</sub>、Sr(DPM)<sub>2</sub>、Ti(DPM)<sub>2</sub>等をソースガスとしてMOCVD法によりBSTよりなるキャパシタ絶縁膜8bを20~50nm形成する。続いてセルプレート電極8cとしてTiN/白金積層膜を150nm、さらに、BSTよりなる保護層8eを30nm形成した後、キャパシタ絶縁膜8bとセルプレート電極8cと保護層8eとをフォトリソグラフィにより所定のパ-

ターンに加工する。

【0024】次に、図2(e)に示すように、全面に $\text{SiH}_4$ 、 $\text{PH}_3$ 、 $\text{B}_2\text{H}_6$ 、 $\text{O}_2$ を用いた常圧CVD法により厚さ500nmの不純物含有シリコン酸化膜よりなるキャパシタ上部層間絶縁膜9を形成した後、フォトリソグラフィにより周辺回路上およびキャパシタ上にコンタクトホール10を開口する。

【0025】このとき、コンタクトホール10形成のためのエッチングは $\text{CF}_4$ 、 $\text{O}_2$ をエッチングガスとして反応性RIE法によって行う。このエッチングにおいてはシリコン酸化膜のBST膜に対する選択比は約10~20であるので、周辺回路上のキャパシタ下部層間絶縁膜6を500nmエッチングするのに要する時間とセルプレート電極8c上の保護層8eを25nmエッチングするのに要する時間とが等しくなる。

【0026】図3(a)~(c)はコンタクトホール形成時におけるエッチング過程を示した工程断面図である。図3に示すように、保護層8e膜厚=(キャパシタ上部層間絶縁膜9の一部と枠付け酸化膜8dとキャパシタ下部層間絶縁膜6との総計の膜厚)/エッチング選択比となるような厚さに形成すれば、周辺回路およびキャパシタ上にコンタクトホール10を同時に開口する際に、キャパシタ上のコンタクトホール10形成工程において不要なオーバーエッチングを防止することができる。

【0027】その後、図1に示すように、通常のLSIプロセスによりアルミニウムによる配線層11を形成することによってメタル配線を行う。

【0028】このように、シリコン酸化膜よりエッチングレートの低いBSTの膜厚をコントロールしてセルプレート電極8c上に保護層8eを形成することによりキャパシタ上と周辺回路上とのコンタクトホール10の開口はほぼ同時に終了し、コンタクトホール10開口時におけるセルプレート電極8cへのプラズマによるダメージも最小限に抑えられる。さらに、セルプレート電極8c上のバリアメタルの消失も防止できる。

【0029】ここで、保護層8eはBSTに限ることなく、キャパシタ下部層間絶縁膜9に用いたシリコン酸化膜よりエッチングレートが小さくかつ絶縁性を有する材料であれば良く、例えば、PZT、SBT、五酸化タンタル等でも良い。

【0030】実施の形態2: 上記実施の形態1ではセルプレート電極とコンタクトをとるためには、キャパシタ上部層間絶縁膜を開口する際に、コンタクトホール内のBSTを完全に除去しなければならず、コンタクト不良を防止するためには10~20%の程度のオーバーエッチングが必要であった。

【0031】ところが、図4(a)~(c)に示すように、セルプレート電極8cへのプラズマダメージを小さくするためにコンタクトホール開口時のエッチングをジ

ヤストもしくはアンダーエッチングとして残膜を配線層11の金属で還元してもよい。

【0032】まず、図4(a)に示すように、保護層8eとしてスパッタ法にてBSTを10nm形成し、図2(d)と同様にパターニングする。次に、図4(b)に示すように、図2(e)と同様に、キャパシタ上部層間絶縁膜9形成後、所定の位置にコンタクトホール10の開口を行う。このとき、 $\text{CH}_4/\text{O}_2$ 系のエッチングではBSTはエッチングされない。従って、キャパシタ上のコンタクトホール10は完全に開口できずコンタクトホール底部に極薄いBSTが残る。

【0033】次に、図4(c)において、通常のLSIプロセスにより配線層11を形成する。ここで、配線層11のアルミニウムのバリアメタルとしてチタンナイトライド/チタンの積層膜を形成し、ランブアニールによるシリサイド化によってコンタクト抵抗の低減を計る。このとき、コンタクトホール10内のBSTはチタンにより還元され酸素欠損状態のBST14となる。酸素欠損状態のBST14はN型半導体となり導電性を示すので、セルプレート電極8cをプラズマにさらすことなく良好なコンタクトホール10を形成することができる。また、五酸化タンタル、PZT、SBT等でも同様の効果が得られる。

【0034】実施の形態3。上記実施の形態2では残った保護層8eを除去せずに導電性物質に変える場合について示したが、残った保護層8eをウエットエッチングで除去しても良い。

【0035】図5(a)に示すように、図2(e)と同様にしてコンタクトホール10を開口するのであるが、このときプラズマダメージを小さくするためにキャパシタ上のコンタクトホール10は完全に開口せず一部保護層8eを残している。次に、図5(b)に示すように、硝酸等を用いてウエットエッチングを施し残った保護層8eを除去する。

【0036】この場合、上記実施の形態2と同様の効果を有するとともに、上記実施の形態2では配線層11のバリアメタルと保護層8eとの固相反応は界面近傍に限られており、残った保護層8eが厚い場合には全体を還元することが出来ずコンタクト不良を起こすことがあった。しかし、ウエットエッチングで除去すれば残った保護層8eが厚いときにも充分除去することができるので、保護層8eの残量マージンを大きくできる。

【0037】さらに、ウエットエッチングが等方性であることから保護層8eがサイドエッチングされノッチが入ることが考えられるが、この程度の残量であれば配線層11のバリアメタルによって容易に還元されるので問題はない。また、ここではBSTの場合について説明を行ったがこれに限ることなく五酸化タンタル、PZT、SBT等の材料を使用しても良い。

【0038】実施の形態4。上記実施の形態1～3では

キャパシタのセルプレート電極8cへのプラズマによるダメージを回避する方法について説明をしたが、ここでは高誘電体または強誘電体をキャパシタ絶縁膜に用いた場合のキャパシタ上部構造からのメカニカルストレスを回避する方法について図6(a)(b)を用いて説明する。

【0039】まず、図6(a)に示すように、図2

(a)～(c)と同様にしてストレージノド電極8aまで形成し、その後、やはり実施の形態1と同様にしてキャパシタ絶縁膜8bを形成する。キャパシタ絶縁膜8b上に、セルプレート電極として白金膜8c、チタンシリコンナイトライド膜8f、ポリシリコン膜8gを各タスパッタ法で50、50、200nm形成した後、パターニングを行う。このとき、チタンシリコンナイトライド膜8fはポリシリコン膜8gと白金膜8cとの間のバリアメタルである。

【0040】次に、図6(b)に示すように、通常のLSIプロセスにより配線層11を形成する。ポリシリコン膜8gは内部応力が小さく且つ展・延性を示さない性質をもっている。従って、このときキャパシタ上部層間絶縁膜9および配線層11形成のために発生するストレス12、13はポリシリコン膜8gで受け止めることができる。その結果、キャパシタ部への伝達を防止することができ、メカニカルストレスによるキャパシタのリーク増大を防止することができる。

【0041】本実施の形態ではポリシリコン膜8gによってメカニカルストレスの緩和を行う場合について説明したが、金属のシリサイド等でも良く、チタンシリコンナイトライドなど、要するに内部応力が小さく且つ展・延性を示さない膜であれば良い。

【0042】実施の形態5。高誘電体または強誘電体をキャパシタ絶縁膜に用いた場合のキャパシタ上部構造からの化学的ストレスを回避する方法について図7(a)～(c)を用いて説明する。

【0043】まず、図7(a)に示すように、図2

(a)～(c)と同様にしてストレージノド電極8aまで形成し、その後、やはり実施の形態1と同様にしてキャパシタ絶縁膜8bを形成する。その後、キャパシタ絶縁膜8b上に、セルプレート電極として白金膜8c、スパッタ法にてタンタル層8hを50nm形成する。

【0044】次に、図7(b)に示すように、酸素雰囲気下でのアニールにより、タンタル層8hを酸化し、 $\text{Ta}_2\text{O}_5$ 層8iとする。タンタル層8hの酸化法としては他に酸素プラズマ、酸素イオン注入等いずれの手段を用いても良い。

【0045】ここで、セルプレート電極の白金膜8c上に遷移金属元素の酸化物である $\text{Ta}_2\text{O}_5$ 層8iを形成したので $\text{Ta}_2\text{O}_5 + \text{H}_2 \rightarrow 2\text{TaO}_2 + \text{H}_2\text{O} \uparrow$ に反応によりキャパシタ上部構造の形成時および酸素雰囲気中でのアニール時における水素を $\text{Ta}_2\text{O}_5$ 層8i内にトラップ

することができ、キャパシタ絶縁膜8bへの透過を防止できる。従って、キャパシタ絶縁膜8bの還元による絶縁性劣化を防止することができる。

【0046】なお、図7(c)に示すように、白金8c上に直接タンタル層8hを形成すると600℃程度で白金とタンタルとの合金化が起こり、耐熱性に問題が生じる。これを防止するものとして、チタンシリコンナイトライドのようなバリアメタル8fを白金8cとタンタル層8hとの間に形成しても良い。この場合、耐熱性として750℃程度が得られる。

【0047】また、本実施の形態では $Ta_2O_5$ を用いた例を示したが、Ti, Pt, W, Ru, Pd等の酸化物でも良く、さらに、BST, PZT, SBT等の高誘電体または強誘電体でも同様の効果が得られる。

【0048】

【発明の効果】以上のようにこの発明によれば、キャパシタ上部電極とキャパシタの上部に存在する絶縁膜であるキャパシタ上部層間絶縁膜との界面に高誘電体または強誘電体よりなる保護層を設けたので、キャパシタ上と周辺回路とのコンタクトホールをほぼ同時に終了でき、コンタクトホール開口時におけるキャパシタ上部電極へのプラズマによるダメージも最小限に抑えられ、キャパシタ上部電極上のバリアメタルの消失も防止できる効果がある。

【0049】また、キャパシタ上部電極上に保護層を形成する工程と、上記保護層上にキャパシタ上部層間絶縁膜を形成する工程と、上記キャパシタ上部層間絶縁膜を上記保護層の一部を残すようにエッチングしてキャパシタへのコンタクトホールを形成すると同時に、上記キャパシタ上部層間絶縁膜に続く絶縁膜をエッチングして周辺回路部へのコンタクトホールを形成する工程と、上記コンタクトホール内へ金属配線を形成する工程とを備えたので、コンタクトホール内に残っている保護層は金属配線により還元されて酸素欠損状態となり導電性を示すので、キャパシタ上部電極をプラズマにさらすことなくキャパシタ上部電極上のバリアメタルの消失も防止でき、良好なコンタクトホールを形成することができる効果がある。

【0050】また、キャパシタ上部電極上に保護層を形成する工程と、上記保護層上にキャパシタ上部層間絶縁膜を形成する工程と、上記キャパシタ上部層間絶縁膜を上記保護層を残すようにエッチングしてキャパシタへのコンタクトホールを形成すると同時に、上記キャパシタ上部層間絶縁膜に続く絶縁膜をエッチングして周辺回路部へのコンタクトホールを形成する工程と、上記キャパシタへのコンタクトホール内の上記保護層をウェットエッチングで除去する工程と、上記コンタクトホール内へ

金属配線を形成する工程とを備えたので、キャパシタ上部電極をプラズマにさらすことなくキャパシタ上部電極上のバリアメタルの消失も防止でき、良好なコンタクトホールを形成できるとともに保護層が厚く残ったとしても充分除去することができ、保護層の残量マージンを大きくできる効果がある。

【0051】また、キャパシタ上部電極が金属と非金属との積層構造よりなるので、キャパシタ上部層間絶縁膜および配線層形成のために発生するストレスを非金属で受け止め、キャパシタ部への伝達を防止することができるので、メカニカルストレスによるキャパシタのリーク増大を防止することができる効果がある。

【0052】また、キャパシタ上部電極が金属と遷移金属元素の酸化物との積層構造あるいは金属と高誘電体または強誘電体との積層構造よりなるので、キャパシタ上部構造の形成時および水素雰囲気中でのアニール時における水素を金属と遷移金属元素の酸化物あるいは高誘電体または強誘電体内に捕獲することができ、キャパシタ絶縁膜への透過を防止でき、キャパシタ絶縁膜の還元による絶縁性劣化を防止することができる効果がある。

【図面の簡単な説明】

【図1】 この発明の実施の形態1の半導体装置を示す模式的断面図である。

【図2】 図1の製造方法を示す工程図である。

【図3】 実施の形態1のコンタクトホール形成のエッチング過程を示した図である。

【図4】 この発明の実施の形態2の製造方法を示す工程図である。

【図5】 この発明の実施の形態3の製造方法を示す工程図である。

【図6】 この発明の実施の形態4の製造方法を示す工程図である。

【図7】 この発明の実施の形態5の製造方法を示す工程図である。

【図8】 従来の半導体装置を示す模式的断面図である。

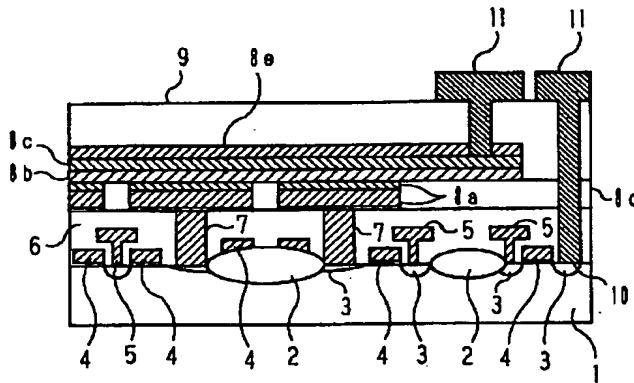
【図9】 従来の半導体装置の問題点を示す断面図である。

【図10】 従来の半導体装置の問題点を示す断面図である。

【符号の説明】

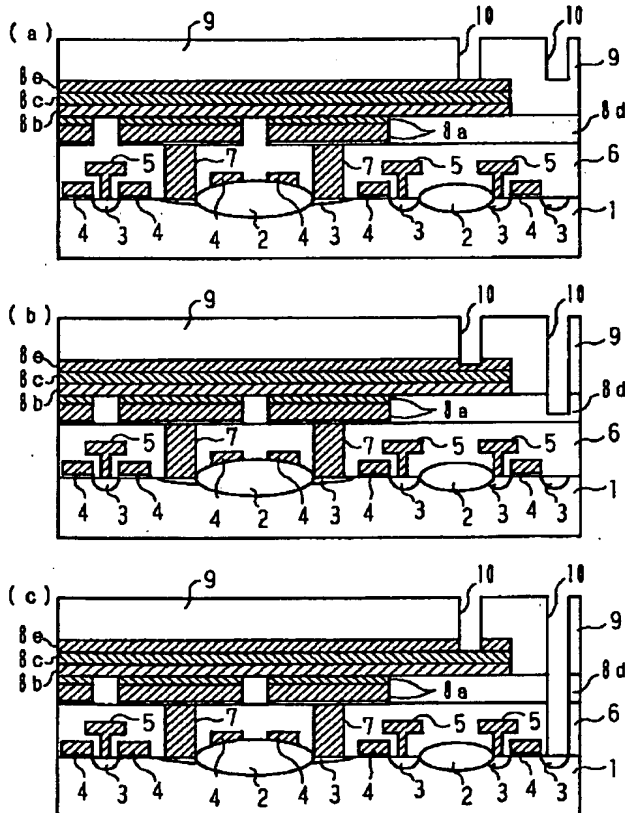
6 キャパシタ下部層間絶縁膜、8b キャパシタ絶縁膜、8c セルプレート電極、8d 枠付け酸化膜、8e 保護層、8g ポリシリコン膜、8i  $Ta_2O_5$ 層、9 キャパシタ上部層間絶縁膜、10 コンタクトホール、11 配線層。

【図1】

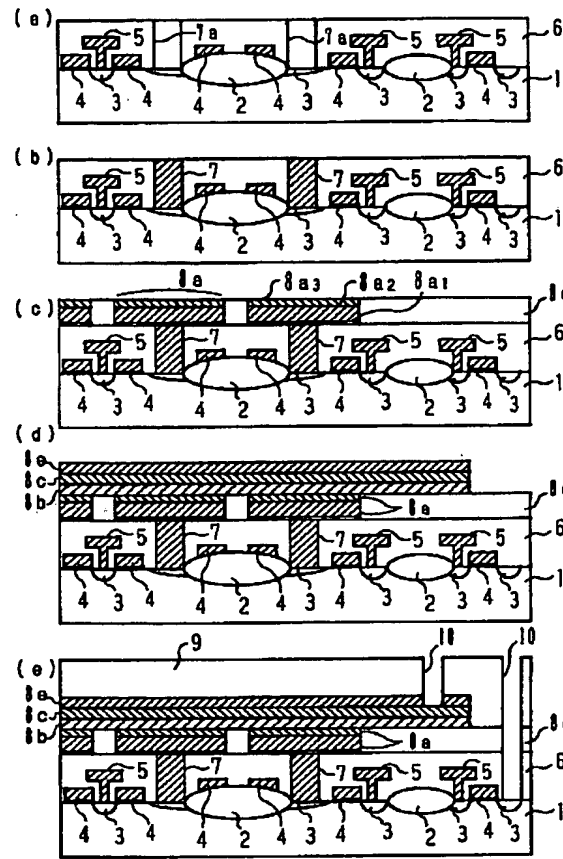


- 6: キャパシタ下部層間絶縁膜  
 8a: ストレージノード電極  
 8b: キャパシタ絶縁膜  
 8c: セルプレート電極  
 8d: 伸付け酸化膜  
 8e: 保護層  
 9: キャパシタ上部層間絶縁膜  
 10: コンタクトホール  
 11: 配線層

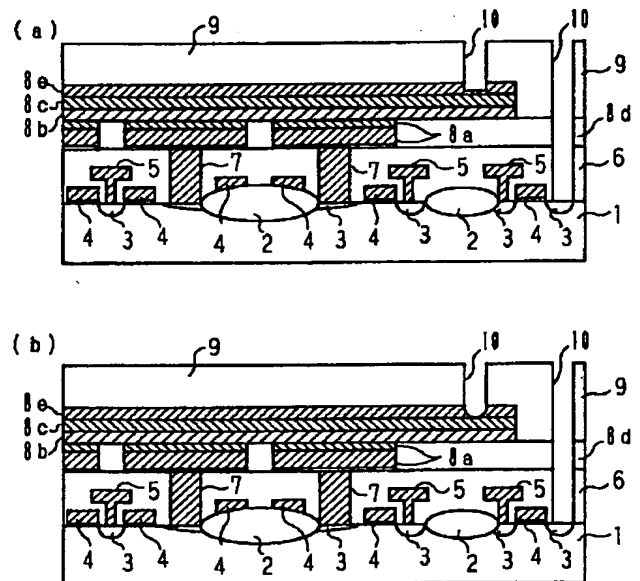
【図3】



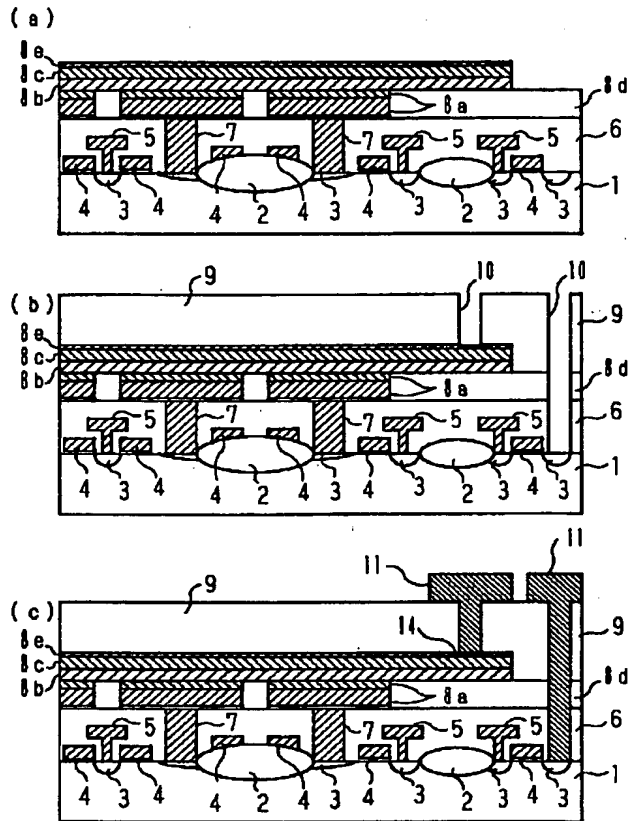
【図2】



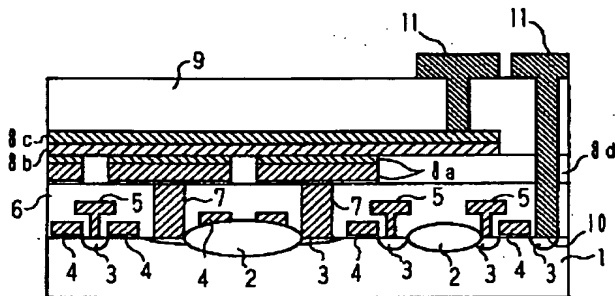
【図5】



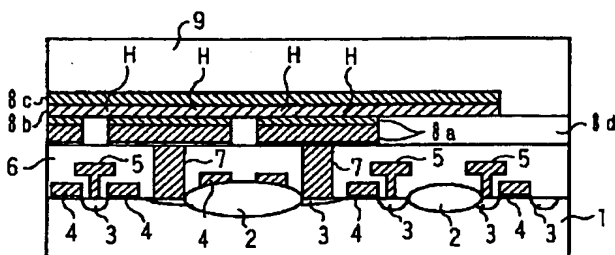
【図4】



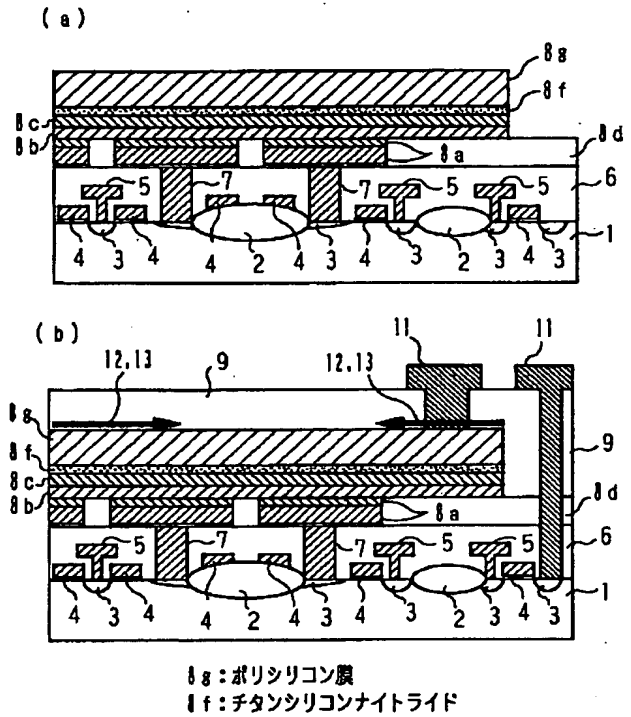
【図8】



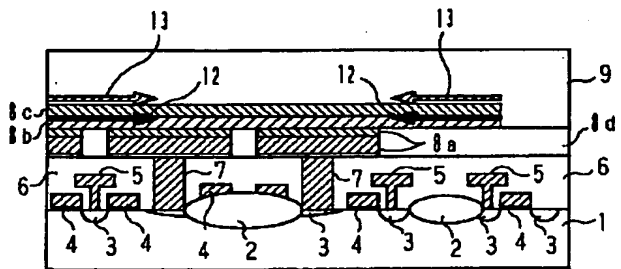
【図10】



【図6】



【図9】



【図7】

